

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-131006

(43)Date of publication of application : 19.05.1995

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 05-274192

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 02.11.1993

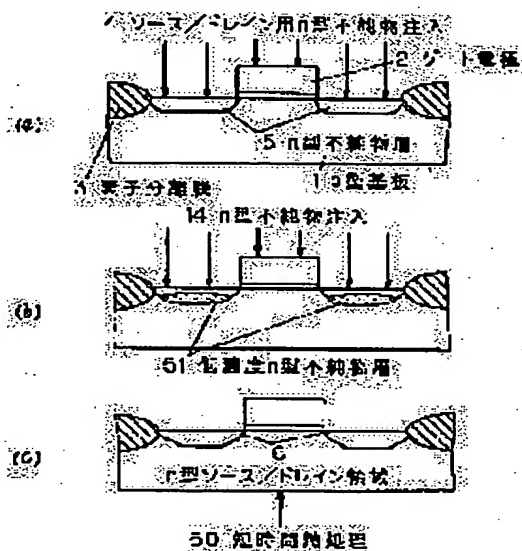
(72)Inventor : SHIBATA YOSHIYUKI

(54) SEMICONDUCTOR DEVICE AND PREPARATION THEREOF

(57)Abstract:

PURPOSE: To prevent the short channel effect and further reduce the leakage from the junctions between the bottom of the source and drain regions and the substrate in a microminiature MOS transistor wherein the very shallow source and drain regions are formed on the surface of a silicon substrate.

CONSTITUTION: A n-type impurity layer (source and drain regions) 5 is formed on a p-type substrate 1 by ion implantation using the gate electrode 2 as a mask. Then a low-concentration impurity layer 51 of the same conductivity type as the source and drain, is formed only in the bottom part of the source and drain regions 5. This prevents leakage current from the junctions formed between the substrate and the bottom of the source and drain regions.



LEGAL STATUS

[Date of request for examination] 16.10.2000

[Date of sending the examiner's decision of rejection] 11.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-06088

[Date of requesting appeal against examiner's decision of rejection] 10.04.2003

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-131006

(43)公開日 平成7年(1995)5月19日

(51)Int.Cl.⁶

H 0 1 L 29/78

21/336

識別記号

庁内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/ 78

3 0 1 P

7514-4M

3 0 1 S

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21)出願番号 特願平5-274192

(22)出願日 平成5年(1993)11月2日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 柴田 義行

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

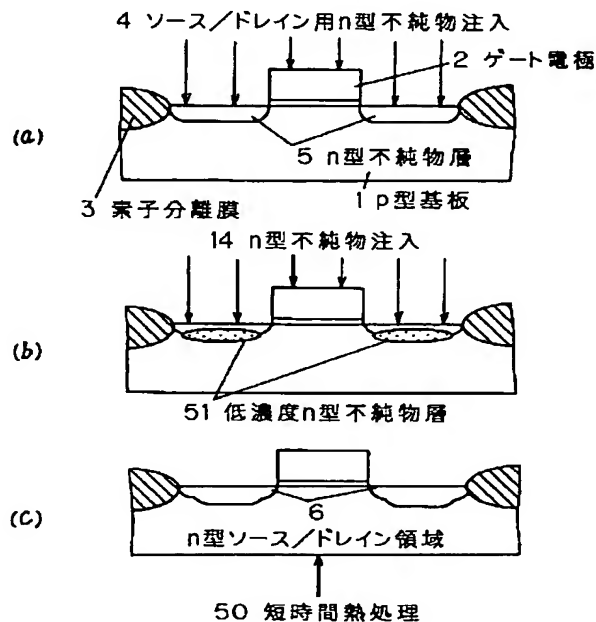
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【目的】 シリコン基板上に、基板表面に対し、極浅くソース・ドレイン領域を形成した、微細なMOS型トランジスタにおいて、短チャネル効果を抑制しつつ、ソース・ドレイン領域底部と基板間の接合リークを低減する。

【構成】 ゲート電極2をマスクとしてp型基板1にイオン注入でn型不純物層(ソース・ドレイン領域)5を形成し、その後、ソース・ドレイン領域5の底部のみにソース・ドレインと同一導電型で低濃度の不純物層51を導入することにより、基板底部とソース・ドレイン領域間に形成される接合のリーク電流を抑制できる。



【特許請求の範囲】

【請求項 1】一方導電型半導体基板表面の MOS 形トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体基板と他方導電型の不純物をイオン注入で導入し、ソース・ドレイン領域を形成する工程と、

前記ソース・ドレイン領域形成と同様の方法で前記ゲート電極をマスクとして前記ソース・ドレイン形成不純物と同一導電型でソース・ドレイン形成不純物より低濃度の不純物をソース・ドレイン領域底部のみにイオン注入により導入する工程と、

前記基板に熱処理を施す工程とを備えた半導体装置の製造方法。

【請求項 2】ゲート絶縁膜上にゲート電極を形成した後、ゲート電極側面を覆うように絶縁膜を形成する工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】ソース・ドレイン領域形成後の低濃度不純物導入において不純物が基板表面には入らない様に行う工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】一方導電型半導体基板表面の MOS 型トランジスタ領域となる部分に形成されたゲート電極と、前記基板と他方導電型の不純物からなるソース・ドレイン領域と、前記ソース・ドレイン領域底部のみに前記ソース・ドレインと同一導電型で低濃度の不純物領域とを備えた半導体装置。

【請求項 5】ゲート電極の側面が絶縁膜で覆われている請求項 3 記載の半導体装置。

【請求項 6】一方導電型半導体基板表面の MOS 型トランジスタ領域となる部分に形成されたゲート電極と、前記基板と他方導電型の不純物からなるソース・ドレイン領域と、前記ソース・ドレイン領域に対し、基板表面を除く領域に前記ソース・ドレインと同一導電型で低濃度の不純物領域とを備えた半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、シリコン基板上の MOS 型トランジスタは、例えば、 n - ch トランジスタの場合、 p 型基板上へのゲート電極の成形、ゲート電極をマスクとして n 型の不純物をイオン注入で導入することによるソース・ドレイン領域の形成から構成されていた。図 7 を用いて n - ch トランジスタの形成方法を説明する。

【0003】図 7 (a) では、 p 型シリコン基板 1 に素子

分離膜 3 を形成後、ゲート電極 2 を形成する。図 7 (b) では、前記 p 型基板 1 にゲート電極 2 をマスクとして、ソース・ドレイン形成用 n 型不純物を例えば As を $30KeV$ 、 $5E15atoms/cm^2$ の条件でイオン注入 4 により導入し、 n 型不純物層 5 を形成する。図 7 (c) では、ソース・ドレイン形成不純物の活性化のために、例えば $900^{\circ}C$ 、100 分で熱処理 7 を行う。この時、熱処理 7 を施している間にソース・ドレイン形成不純物は拡散 8 をし、ソース・ドレイン領域 6 は広がり、基板との接合深さ (X_j) は注入直後の約 $0.05\mu m$ から約 $0.3\mu m$ まで深くなる。又、 p - ch トランジスタでは、 n 型基板上に p 型のソース・ドレイン形成不純物をもって構成される。 p - ch トランジスタでは、熱処理の後には、 X_j は約 $0.5\mu m$ になる。

【0004】ところで、素子の微細化が進められるに伴い、いわゆる短チャネル効果といった問題が生じてきた。短チャネル効果では、ソースとドレインそれぞれの近傍に形成される空乏層が近づきつなってしまうことが原因の 1 つである。

【0005】近年、この短チャネル効果を抑制し、微細なトランジスタを形成する方法として、ソース・ドレイン形成不純物を、低エネルギーのイオン注入により基板表面に浅く導入する方法、または、ソース・ドレイン形成不純物活性化のための熱処理を短時間にするにより、ソース・ドレイン形成不純物の熱処理中の拡散を抑制し、ソース・ドレイン領域を基板表面に極浅く形成する方法がとられている。

【0006】図 8 (a), (b) を用いて低エネルギーイオン注入による方法を、又、図 8 (c), (d) を用いて、この低温、短時間の熱処理による形成方法を説明する。

【0007】図 8 (a) では、 p 型シリコン基板 1 に素子分離膜 3 を形成後、ゲート電極 2 を形成する。前記 p 型基板 1 にゲート電極 2 をマスクとして、低エネルギー n 型不純物注入 9 を例えば As を $5KeV$ 、 $5E15atoms/cm^2$ といった条件で行われ、 n 型極浅不純物層 10 が形成され、その X_j は約 $0.01\mu m$ となる。図 8 (b) では、上記基板 1 に熱処理を施した後に X_j が $0.2\mu m$ の浅い n 型ソース・ドレイン領域 11 を形成される。

【0008】図 8 (c) では、 p 型基板 1 に形成されたゲート電極 2 をマスクとしてソース・ドレイン用 n 型不純物注入 4 を施し、 n 型不純物層 5 を形成する。図 8 (d) では、前記基板 1 に例えば、 $1000^{\circ}C$ で 10 秒といった短時間の熱処理 50 を施す。短時間の熱処理のため、 n 型不純物はほとんど拡散せず、 X_j が $0.1\mu m$ 以下の浅い n 型ソース・ドレイン領域 12 が形成される。

【0009】以上の様に、ソース・ドレイン形成用イオン注入を低加速エネルギーで行ったり、熱処理を短時間で行うことにより短チャネル効果が抑制され、微細な素子が形成可能となる。

【0010】

【発明が解決しようとする課題】しかしながら、これら

の方法では、ソース・ドレイン領域を広げないために、ソース・ドレイン形成不純物の濃度分布が、そのピーク位置から基板との接合位置までで急峻になってしまう。そこで、ソース・ドレイン形成不純物及び基板中の不純物の濃度が接合部近傍で高くなることと、その勾配が急であることから、接合部で発生するリーク電流が従来のトランジスタに比べて急激に高くなってしまったといった問題が生じてくる。

【0011】実デバイスでは、待機時の消費電力をなるべく低減させる必要とある。従来のトランジスタを用いた場合、全待機時電流に対しての、接合リークによる電流は約0.1%であったのが、上記の浅いソース・ドレイン領域を形成したトランジスタを用いた場合では、約5%にまで達してしまう。このように、短チャネル効果を抑制するために、熱処理条件で時間を短くすることによってソース・ドレイン領域を基板表面に浅く形成した場合には、基板との接合部で発生するリーク電流が急激に増加してしまうといった問題点があった。

【0012】従って、本願発明の目的は、シリコン基板上に、基板表面に対し、極浅くソース・ドレイン領域を形成した、微細なMOS型トランジスタにおいて、短チャネル効果を抑制しつつ、ソース・ドレイン領域底部と基板間の接合リークを低減する半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】請求項1記載の半導体装置の製造方法は上記問題点に鑑み、微細なMOS型トランジスタのソース・ドレイン領域を基板表面に浅く形成しても短チャネル効果を抑制しつつ、基板との接合部でのリーク電流を抑制した半導体装置の製造方法を提供するものである。この為の構成として、一方導電型半導体基板表面のMOS型トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板と他方導電型の不純物をイオン注入で導入し、ソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域形成と同様の方法で前記ゲート電極をマスクとして前記ソース・ドレイン形成不純物と同一導電型でソース・ドレイン形成不純物より低濃度の不純物をソース・ドレイン領域底部のみにイオン注入により導入する工程と、前記基板に熱処理を施す工程を有することを特徴とする。

【0014】又、請求項2記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、ゲート電極を形成した後、ゲート電極側面を覆うように絶縁膜を形成する工程を有することを特徴とする。

【0015】請求項3記載の半導体装置の製造方法は上記問題点に鑑み、微細なMOS型トランジスタのソース・ドレイン領域を基板表面に浅く形成しても短チャネル効果を抑制しつつ、基板との接合部でのリーク電流を抑制した半導体装置の製造方法を提供するものである。こ

の為の構成として、一方導電型半導体基板表面のMOS型トランジスタ領域となる部分に形成されたゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体基板と他方導電型の不純物をイオン注入で導入し、ソース・ドレイン領域を形成する工程と、前記ソース・ドレイン領域形成と同様の方法で前記ゲート電極をマスクとして前記ソース・ドレイン形成不純物と同一導電型でソース・ドレイン形成不純物より低濃度の不純物をソース・ドレイン領域に対し、基板表面以外の領域にイオン注入により導入する工程と、前記基板に熱処理を施す工程を有することを特徴とする。

【0016】請求項4、5記載の半導体装置は上記問題点に鑑み、微細なMOS型トランジスタのソース・ドレイン領域を基板表面に浅く形成しても短チャネル効果を抑制しつつ、基板との接合部でのリーク電流を抑制した半導体装置を提供するものである。この為の構成として、一方導電型半導体基板表面のMOS型トランジスタ領域となる部分に形成されたゲート電極と、前記基板と他方導電型の不純物からなるソース・ドレイン領域と、前記ソース・ドレイン領域底部のみに前記ソース・ドレインと同一導電型で低濃度の不純物領域を有する構造を特徴とする。

【0017】又、請求項5記載の半導体装置は、前記請求項4記載の半導体装置において、ゲート電極の側面が絶縁膜で覆われていることを特徴とする。

【0018】又、請求項6記載の半導体装置は、上記問題点に鑑み、微細なMOS型トランジスタのソース・ドレイン領域を基板表面に浅く形成しても短チャネル効果を抑制しつつ、基板との接合部でのリーク電流を抑制した半導体装置を提供するものである。この為の構成として、一方導電型半導体基板表面のMOS型トランジスタ領域となる部分に形成されたゲート電極と、前記基板と他方導電型の不純物からなるソース・ドレイン領域と、前記ソース・ドレイン領域に対し、基板表面を除く領域に前記ソース・ドレインと同一導電型で低濃度の不純物領域を有する構造を特徴とする。

【0019】

【作用】請求項1、2及び3に係る半導体装置の製造方法により、ソース・ドレイン領域を基板に対して浅く、または表面を除く領域に形成し、短チャネル効果を抑制することを目的とした微細なMOS型トランジスタを製造するに当たり、ソース・ドレイン領域底部と基板間の接合部でのリーク電流を抑制することが可能となる。

【0020】請求項4、5及び6に係る半導体装置により、短チャネル効果を抑制するためにソース・ドレイン領域を基板に対して浅くあるいは表面を除く領域に形成した、微細なMOS型トランジスタにおいてソース・ドレイン領域底部と基板間の接合部でのリーク電流を抑制することが可能となる。

【0021】

【実施例】以下請求項 1 記載の半導体装置の製造方法の一実施例として p 型基板に、ソース・ドレイン領域を基板表面に浅く形成することにより微細な n-c h トランジスタを形成した場合に、ソース・ドレイン領域底部と基板間の接合リークを抑制する製造方法について図面を参照しながら説明する。

【0022】図 1 は本発明の実施例の工程断面図である。図 1 (a) では、p 型シリコン基板 1 に素子分離膜 3 を形成後、ゲート電極 2 を形成する。前記 p 型基板 1 にゲート電極 2 をマスクとして、例えば As, 30KeV, 5E15atoms/cm² といったソース・ドレイン用 n 型不純物注入 4 により X j が約 0.05 μ m の n 型不純物層 5 が形成される。

【0023】図 1 (b) では、ソース・ドレイン用 n 型不純物注入 4 と同様にゲート電極 2 をマスクとして、例えば P, 40KeV, 2E12atoms/cm² といった条件で、n 型不純物注入 1 4 を施し、n 型不純物層 5 の底部のみに低濃度の n 型不純物層 5 1 を形成する。図 1 (c) では、例えば、1000℃、10秒程度の短時間熱処理 5 0 を施し、n 型不純物を活性化し、n 型ソース・ドレイン領域 6 を形成する。この n 型ソース・ドレイン領域 6 では、底部の n 型不純物分布が急峻にはならない。

【0024】以上の様に、本実施例によれば、素子の微細化を図るにあたり、ソース・ドレイン領域を基板表面に対し浅く形成する方法において、ソース・ドレイン領域の底部のみにソース・ドレイン形成不純物と同一導電性の不純物を導入することにより接合リークを抑制できる。

【0025】以下請求項 2 記載の半導体装置の製造方法の一実施例として p 型基板に、ソース・ドレイン領域を基板表面に浅く形成することにより微細な n-c h トランジスタを形成した場合に、ソース・ドレイン領域底部と基板間の接合リークを抑制する製造方法について図面を参照しながら説明する。

【0026】図 2 は本発明の実施例の工程断面図である。図 2 (a) では、p 型シリコン基板 1 に素子分離膜 3 を形成後、ゲート電極 2 およびゲート側壁絶縁膜 5 3 を形成する。前記 p 型基板 1 にゲート電極 2 をマスクとして、例えば As, 30KeV, 5E15atoms/cm² といったソース・ドレイン用 n 型不純物注入 4 により X j が約 0.05 μ m の n 型不純物層 5 が形成される。

【0027】図 2 (b) では、ソース・ドレイン用 n 型不純物注入 4 と同様に側壁絶縁膜 5 3 があるゲート電極 2 をマスクとして、例えば P, 40KeV, 2E12atoms/cm² といった条件で、n 型不純物注入 1 4 を施し、n 型不純物層 5 の底部のみに低濃度の n 型不純物層 5 1 を形成する。図 2 (c) では、例えば 1000℃、10秒程度の短時間熱処理を施し、n 型不純物を活性化し、n 型ソース・ドレイン領域 6 を形成する。この n 型ソース・ドレイン領域 6 では、底部の n 型不純物分布が急峻にはならない。

【0028】以上の様に、本実施例によれば、素子の微

細化を図るにあたり、ソース・ドレイン領域を基板表面に対し浅く形成する方法において、ソース・ドレイン領域の底部のみにソース・ドレイン形成不純物と同一導電性の不純物を側壁絶縁膜があるゲート電極をマスクとしてイオン注入で導入することにより接合リークを抑制できる。

【0029】以下請求項 3 記載の半導体装置の製造方法の一実施例として p 型基板に、ソース・ドレイン領域を基板表面に浅く形成することにより微細な n-c h トランジスタを形成した場合に、ソース・ドレイン領域底部と基板間の接合リークを抑制する製造方法について図面を参照しながら説明する。

【0030】図 5 は本発明の実施例の工程断面図である。図 5 (a) では、p 型シリコン基板 1 に素子分離膜 3 を形成後、ゲート電極 2 およびゲート側壁絶縁膜 5 3 を形成する。前記 p 型基板 1 にゲート電極 2 をマスクとして、例えば As, 30KeV, 5E15atoms/cm² といったソース・ドレイン用 n 型不純物注入 4 により X j が約 0.05 μ m の n 型不純物層 5 が形成される。

【0031】図 5 (b) では、ソース・ドレイン用 n 型不純物注入 4 と同様にゲート電極 2 をマスクとして、例えば P, 40KeV, 2E12atoms/cm² といった条件で、n 型不純物注入 1 4 を施し、n 型不純物層 5 に対し、基板表面を除く領域に低濃度の n 型不純物層 5 1 を形成する。この時、低濃度不純物層 5 1 は濃度のピーク位置がソース・ドレイン用 n 型不純物層 1 4 底部に位置し、基板表面から 0.05 μ m までの濃度は n 型不純物層 1 4 の濃度に比べ、約 0.01% 程度となる。

【0032】図 5 (c) では、例えば 1000℃、10秒程度の短時間熱処理 5 0 を施し、n 型不純物を活性化し、n 型ソース・ドレイン領域 6 を形成する。この n 型ソース・ドレイン領域 6 では、底部の n 型不純物分布が急峻にはならない。

【0033】以上の様に、本実施例によれば、素子の微細化を図るにあたり、ソース・ドレイン領域を基板表面に対し浅く形成する方法において、ソース・ドレイン領域の基板に対して、表面を除く領域にソース・ドレイン形成不純物と同一導電性の不純物を導入することにより接合リークを抑制できる。

【0034】以下請求項 4 記載の半導体装置の一実施例として、p 型基板に形成した n-c h トランジスタで、ソース・ドレイン領域底部と基板間の接合リークを抑制した装置について図面を参照しながら説明する。

【0035】図 3 は本発明の実施例の断面図である。1 は p 型基板、2 はゲート電極、3 は素子分離、1 1 は浅い n 型ソース・ドレイン領域、5 4 は低濃度 n 型不純物領域を示す。この低濃度 n 型不純物領域 5 4 によりソース・ドレイン領域の底部では n 型不純物の濃度分布は急峻にはならない。以上の様に、本実施例によれば、素子の微細化をはかるにあたり、ソース・ドレイン領域を基

板表面に対し浅く形成された素子において、ソース・ドレイン領域の底部のみにソース・ドレイン形成不純物と同一導電性の不純物層を形成することにより接合リークを抑制できる。

【0036】以下請求項5記載の半導体装置の一実施例として、p型基板に形成したn-c hトランジスタで、ソース・ドレイン領域底部と基板間の接合リークを抑制した装置について図面を参照しながら説明する。

【0037】図4は本発明の実施例の断面図である。1はp型基板、2はゲート電極、3は素子分離、11は浅いn型ソース・ドレイン領域、53はゲート側壁絶縁膜、54は低濃度n型不純物領域を示す。この低濃度n型不純物領域54によりソース・ドレイン領域の底部ではn型不純物の濃度分布は急峻にはならない。以上の様に、本実施例によれば、素子の微細化をはかるにあたり、ソース・ドレイン領域を基板表面に対し浅く形成された素子において、ソース・ドレイン領域の底部のみにソース・ドレイン形成不純物と同一導電性の不純物層を形成することにより接合リークを抑制できる。

【0038】以下請求項6記載の半導体装置の一実施例として、p型基板に形成したn-c hトランジスタで、ソース・ドレイン領域底部と基板間の接合リークを抑制した装置について図面を参照しながら説明する。

【0039】図6は本発明の実施例の断面図である。1はp型基板、2はゲート電極、3は素子分離、11は浅いn型ソース・ドレイン領域、54は低濃度n型不純物領域を示す。この低濃度n型不純物領域54は、基板表面より0.05 μ m以上深い位置に形成され、これによりソース・ドレイン領域の底部ではn型不純物の濃度分布は急峻にはならない。以上の様に、本実施例によれば、素子の微細化をはかるにあたり、ソース・ドレイン領域を基板表面に対し浅く形成された素子において、ソース・ドレイン領域の底部のみにソース・ドレイン形成不純物と同一導電性の不純物層を形成することにより接合リーク

を抑制できる。

【0040】なお、n型の不純物として、As、P、Sbを用いても同様な効果が得られる。

【0041】又、上記実施例においてn型基板にp-c hトランジスタを形成した場合にも、同様な効果が得られる。

【0042】

【発明の効果】以上のように本発明は、基板表面に極浅くソース・ドレイン領域を形成したMOS型トランジスタにおいて、短チャネル効果を抑制しつつ、ソース・ドレイン領域底部と基板間の接合リークを抑制可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の製造方法の工程断面図

【図2】本発明の第2の実施例における半導体装置の製造方法の工程断面図

【図3】本発明の第3の実施例における半導体装置の断面図

【図4】本発明の第4の実施例における半導体装置の断面図

【図5】本発明の第5の実施例における半導体装置の製造方法の工程断面図

【図6】本発明の第6の実施例における半導体装置の断面図

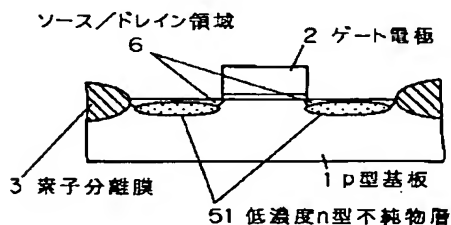
【図7】本発明の第1の従来例における半導体装置の製造方法の工程断面図

【図8】本発明の第2の従来例における半導体装置の製造方法の工程断面図

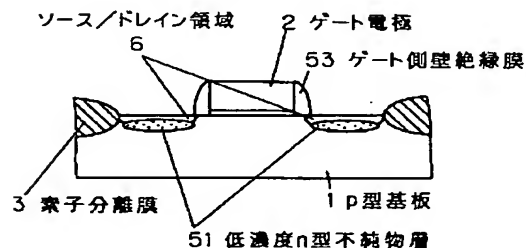
【符号の説明】

- 1 p型基板
- 6 ソース・ドレイン
- 51 低濃度の不純物層

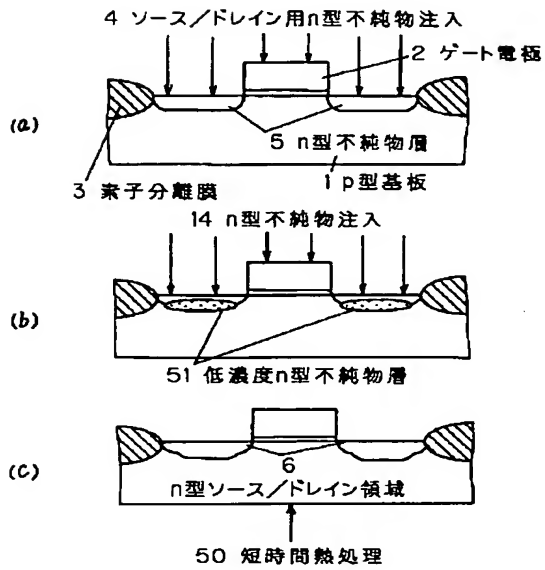
【図3】



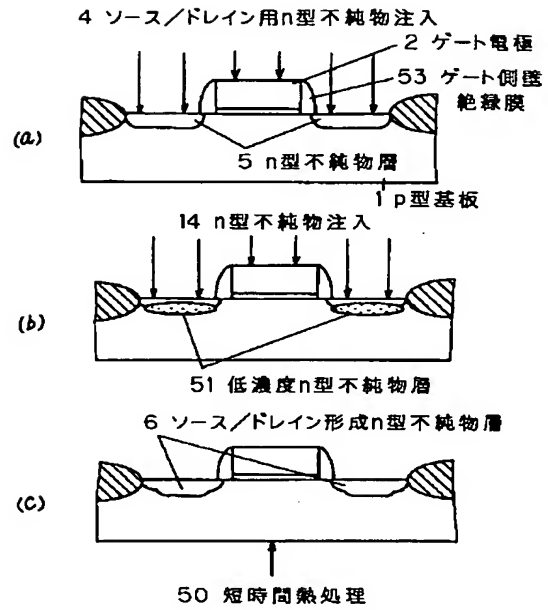
【図4】



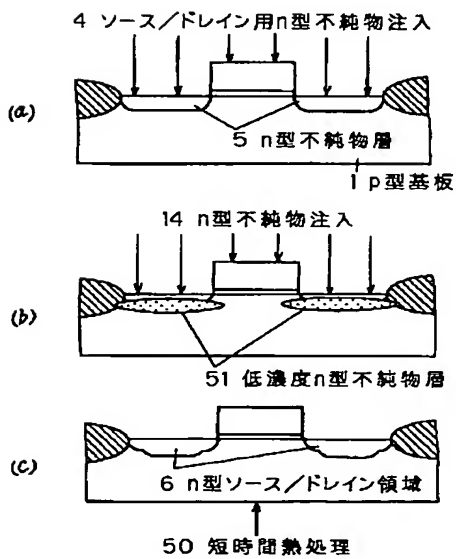
【図1】



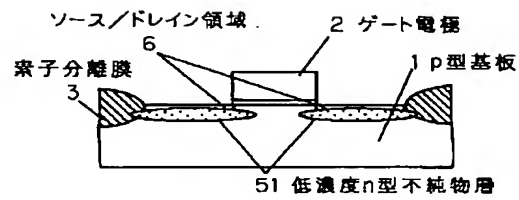
【図2】



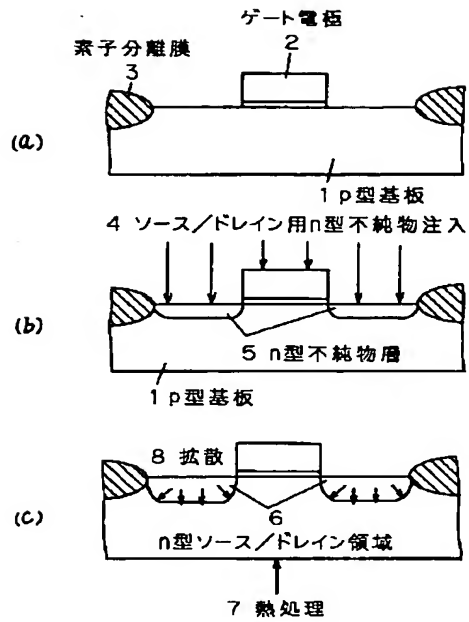
【図5】



【図6】



【図7】



【図8】

